

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> H03L 7/00 (11) 공개번호 특 1998-056057  
(43) 공개일자 1998년 09월 25일

(21) 출원번호 특 1996-075319  
(22) 출원일자 1996년 12월 28일  
(71) 출원인 대우전자 주식회사 배순훈  
서울특별시 중구 남대문로5가 541  
(72) 발명자 김중현  
서울특별시 서대문구 홍은3동 274-60  
(74) 대리인 박희진, 윤의상, 박영우

심사청구 : 있음

(54) 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치

요약

텔레비전 무선단에서 페이즈 로크 루프를 이용하여 소비 전력을 저감하기 위한 장치가 개시된다. 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치는 시스템 버스와 연결되는 버스 리시버, 프로그램머블 디바이더로부터의 주파수 세트 비트를 일시 저장하는 레지스터, 프로그램머블 디바이더로 입력되는 주파수 세트 비트 가운데 고주파 세트에 사용되는 상위 다수의 비트를 논리합하여 출력하는 OR 게이트, 그리고 OR 게이트로부터 신호가 입력될 때 증폭기와 프리 스케일러의 바이어스 전류의 흐름을 제어하는 전류 제어부를 포함하여 이루어진다. 전류 제어부는 OR 게이트로부터 입력되는 신호를 이용하여, 상대적으로 주파수가 낮은 고주파 신호가 입력될 때 증폭기와 프리 스케일러로 인가되는 바이어스 전류를 증가시키고, 상대적으로 주파수가 높은 고주파 신호가 입력될 때 증폭기와 프리 스케일러로 인가되는 바이어스 전류를 감소시킨다. 따라서, 텔레비전 무선단의 소비 전력을 최소화시킨다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 페이즈 로크 루프를 이용한 텔레비전 무선단의 회로 구성을 보여주기 위한 회로 블록도이다.

도 2는 본 발명의 일 실시예에 따른 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치의 회로 구성을 보여주기 위한 회로 블록도이다.

도 3은 도 2에서 보여준 장치에 포함되는 전류 제어부의 일 부분의 구성을 보여주기 위한 회로도이다.

\*도면의 주요부분에 대한 부호의 설명\*

11: 증폭기, 12: 프리 스케일러,  
13: 프로그램머블 디바이더, 14: 수정 발진기,  
15: 기준 디바이더, 16: 위상 비교기,  
17: 차지 펌프, 18: 적분기,  
19: 전압 제어 발진기, 21: 버스 리시버,  
22: 레지스터, 23: OR 게이트,  
24: 전류 제어부,  
Q1 그리고 Q2: 제1 및 제2 트랜지스터들.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 텔레비전 무선단에서 페이즈 로크 루프를 이용하여 소비 전력을 저감하기 위한 장치에 관한

것이다.

일반적으로, 페이즈 로크 루프(Phase-Locked Loop: PLL)는 위상 비교기, 루프 필터, 증폭기, 전압 제어 발진기(Voltage Controlled Oscillator: VCO) 등으로 구성된다. 페이즈 로크 루프는 주파수 변조된 반송파 중에서 베이스 밴드 신호를 추출하기(복조하기) 위하여 사용되는 궤환 루프이다. 즉, 변조된 입력 신호의 위상과 전압 제어 발진기의 출력의 위상이 비교되며, 그 출력으로 전압 제어 발진기의 주파수가 제어된다. 상기한 페이즈 로크 루프는 텔레비전, FM 스테레오 튜너, 인공위성 추적 장치, 주파수 합성기, FM 신호 발생기, 전화기 등과 같은 많은 분야에서 응용되고 있다.

텔레비전의 튜닝을 위한 무선단에서 사용되는 페이즈 로크 루프는 고주파에서 동작되어야 하기 때문에 입력단이 ECL(Emitter Coupled Logic) 소자로 구성이 되어 있고, 동작 속도를 높이기 위해서 바이어스 전류가 높게 설정되어 있다. 그러나, 텔레비전 회로에서 채용되는 페이즈로크 루프는 90 ~ 860 [MHz]의 동작 주파수를 가지므로 동작 전류가 860 [MHz]의 주파수에서 동작 가능한 레벨로 고정된다. 따라서, 상기 동작 전류가 항상 높게 흘러서 소비 전력이 높게 된다.

도 1은 종래의 페이즈 로크 루프를 이용한 텔레비전 무선단의 회로 구성을 보여주기 위한 회로 블록도이다. 도 1에서 보여준 바와 같이, 증폭기(11)는 고주파 입력 신호(RF)를 증폭하여 증폭된 입력 신호를 출력한다. 프리 스케일러(12)는 증폭기(11)로부터의 증폭된 입력 신호의 전압 레벨을 그 후단에 연결되는 소자에 적합하도록 가감하여서 프리 스케일된 신호를 출력한다. 프로그래머블 디바이더(13)는 프리 스케일러(12)로부터의 프리 스케일된 신호를 프로그래밍에 의하여 설정된 주파수 세트 비트에 따라 분주하여서 제1 분주된 신호를 출력한다. 수정 발진기(14)는 제1 클럭 신호를 생성하여 출력한다. 기준 디바이더(15)는 수정 발진기(14)로부터의 제1 클럭 신호를 기준 신호로서 분주하여서 기준 클럭 신호를 출력한다. 도 1에서 위상 비교기(16)는 프로그래머블 디바이더(13)로부터의 제1 분주된 신호의 위상과 기준 디바이더(15)로부터의 기준 클럭 신호의 위상을 비교하여 위상 비교된 신호를 출력한다. 차지 펌프(17)는 위상 비교기(16)로부터의 위상 비교된 신호를 전류 증폭하여서 전류 증폭된 신호를 출력한다. 적분기(18)는 차지 펌프(17)로부터의 전류 증폭된 신호를 적분하여서 적분된 신호를 출력한다. 전압 제어 발진기(19)는 적분기로부터의 적분된 신호를 입력하여서 증폭기(11)로 궤환시킨다. 도 1에서 Vt는 동조 신호를 나타낸다. 동조 신호(Vt)는 전압 제어 발진기(19)에 의해서 증폭기(11)로 궤환됨으로써 그 위상이 고정된다.

그러나, 상기한 종래의 페이즈 로크 루프를 이용한 텔레비전 무선단은, 증폭기(11)와 프리 스케일러(12)가 고주파 신호에 대해서도 동작 가능하도록 ECL 소자로 구성이 되어 있다. 또한, 페이즈로크 루프는 그 동작 속도를 감안하여 바이어스 전류가 항상 높게 설정되므로 상대적으로 많은 전력을 소비한다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 상기한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 텔레비전 무선단에서 페이즈 로크 루프에 상대적으로 주파수가 낮은 고주파 신호가 입력될 때 바이어스 전류가 적게 설정되고 상대적으로 주파수가 높은 고주파 신호가 입력될 때만 바이어스 전류가 높게 설정되도록 입력단이 동작되는 페이즈 로크 루프를 이용하여서 동작 전력을 최소화하기 위한 장치를 제공함에 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른, 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치는,

고주파 입력 신호를 증폭하여서 증폭된 입력 신호를 출력하기 위한 증폭기;

증폭기로부터의 증폭된 입력 신호의 전압 레벨을 그 후단에 연결되는 소자에 적합하도록 가감하여서 프리 스케일된 신호를 출력하기 위한 프리 스케일러;

프리 스케일러로부터의 프리 스케일된 신호를 프로그래밍에 의하여 설정된 주파수 세트 비트에 따라 분주하여서 주파수 세트 비트를 출력하기 위한 프로그래머블 디바이더;

프로그래머블 디바이더로부터의 주파수 세트 비트를 일시 저장하기 위한 레지스터;

레지스터로부터 프로그래머블 디바이더로 입력되는 주파수 세트 비트 가운데에서 고주파 세트를 위한 상위 다수의 비트를 논리합하여 출력하기 위한 논리합 수단;

논리합 수단으로부터 입력되는 신호를 이용하여, 상대적으로 주파수가 낮은 고주파 신호가 입력될 때 증폭기와 프리 스케일러로 인가되는 바이어스 전류를 증가시키고, 상대적으로 주파수가 높은 고주파 신호가 입력될 때 증폭기와 프리 스케일러로 인가되는 바이어스 전류를 감소시키는 전류 제어 수단;

제1 클럭 신호를 생성하여 출력하기 위한 수정 발진기;

수정 발진기로부터의 제1 클럭 신호를 기준 신호로서 분주하여서 기준 클럭 신호를 출력하기 위한 기준 디바이더;

프로그래머블 디바이더로부터의 제1 분주된 신호의 위상과 기준 디바이더로부터의 기준 클럭 신호의 위상을 비교하여 위상 비교된 신호를 출력하기 위한 위상 비교기;

위상 비교기로부터의 위상 비교된 신호를 전류 증폭하여서 전류 증폭된 신호를 출력하기 위한 차지 펌프;

차지 펌프로부터의 전류 증폭된 신호를 적분하여서 적분된 신호를 출력하기 위한 적분기; 그리고

적분기로부터의 적분된 신호를 입력하여서 증폭기로 궤환하기 위한 전압 제어 발진기로 이루어져 있다.

또한, 본 발명은, 시스템 버스로부터 주파수 세트 비트를 읽어 들여 상기한 레지스터로 전송하는 버스 리시버를 더 포함하여 이루어질 수 있다.

본 발명에 따른, 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치에서는, 텔레비전 무선단에 포함된 페이즈 로크 루프에 상대적으로 주파수가 낮은 고주파 신호가 입력될 때 프로그래머블 디바이더로 입력되는 주파수 세트 비트에 의거하여서 바이어스 전류를 감소시키고, 상기 페이즈 로크 루프에 상대적으로 주파수가 높은 고주파 신호가 입력될 때 바이어스 전류를 증가시킴으로써 소비 전력을 최소화한다.

이하, 도면을 참조하여 본 발명의 일 실시예에 따른, 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치의 구성과 동작이 설명된다.

도 2는 본 발명의 일 실시예에 따른 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치의 회로 구성을 보여주기 위한 회로 블록도이다. 도 2에서 참조 부호들 MSB와 LSB는 각각 최상위 비트(Most Significant Bit)와 최하위 비트(Least Significant Bit)를 나타낸다. 본 발명의 일 실시예에 따른, 전력 소비 저감 장치는 도 1에서 보여준 구성 요소들 가운데 증폭기(11), 프리 스케일러(12) 그리고 프로그래머블 디바이더(13)를 도 2에서 보여준 구성 요소들로 대체함으로써 구성된다. 본 발명의 일 실시예에 따른 전력 소비 저감 장치는 종래의 페이즈 로크 루프를 이용한 텔레비전 무선단(도 1 참조)에 포함되는 구성 요소들과 관련되므로, 도 2에서는 도 1과 관련된 구성 요소들에 대하여 동일한 참조 부호를 부여한다.

도 2에서 보여준 바와 같이, 버스 리시버(21)는 시스템 버스와 연결된다. 레지스터(22)는 프로그래머블 디바이더(13)로부터의 주파수 세트 비트를 일시 저장한다. OR 게이트(23)는 프로그래머블 디바이더(13)로 입력되는 주파수 세트 비트중 고주파 세트에 사용되는 상위 다수의 비트를 논리합하여 출력한다. 전류 제어부(24)는 OR 게이트(23)로부터 신호가 입력될 때 증폭기(11)와 프리 스케일러(12)의 바이어스 전류의 흐름을 제어한다.

도 3은 도 2에서 보여준 장치에 포함되는 전류 제어부의 일 부분의 구성을 보여주기 위한 회로도이다. 도 3에서 보여준 바와 같이, 전류 제어부(24)의 일부분의 구성은 제1, 제2, 제3 및 제4 저항들(R1)(R2)(R3)(R4)을 포함하며, 제1 이미터, 제1 베이스 그리고 제1 컬렉터를 포함하는 제1 트랜지스터(Q1)와, 제2 이미터, 제2 베이스 그리고 제2 컬렉터를 포함하는 제2 트랜지스터(Q2)를 포함한다. 상기 제1 베이스는 OR 게이트(23)의 출력 단자(도 2 참조)와 연결된다. 상기 제1 컬렉터는 직류 전원 전압(Vcc)의 (+)단자와 연결된다. 상기 제1 이미터와 제2 베이스 사이에는 제2 저항이 연결된다. 상기 제2 베이스와 직류 전원 전압(Vcc)의 (+)단자 사이에는 제1 저항이 연결된다. 상기 제2 베이스와 직류 전원 전압(Vcc)의 (-)단자 사이에는 제3 저항이 연결된다. 상기 제2 컬렉터는 상기 (+)단자와 연결된다. 상기 제2 이미터와 (-) 단자 사이에는 제4 저항이 연결된다.

이하에서, 이와 같이 구성된 본 발명에 따른, 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치의 동작이 기술된다.

고주파 입력 신호(RF)가 증폭기(11)에 의해서 증폭된 후, 프리 스케일러(12)를 거쳐서 프로그래머블 디바이더(13)로 입력될 때, 프로그래머블 디바이더(13)는 버스 리시버(21)로부터 레지스터(22)를 거쳐서 입력되는 주파수 세트 비트에 따라 상기 입력 신호를 분주하여 출력하여서 동조 신호(Vt)를 생성한다.

상기 과정에서, 프로그래머블 디바이더(13)로 입력되는 주파수 세트 비트가 고주파 세트일 때 OR 게이트(23)로 하이 레벨의 신호가 입력되므로 OR 게이트(23)는 하이 레벨의 신호를 전류 제어부(24)로 출력한다.

OR 게이트(23)로부터 하이 레벨의 신호가 입력될 때, 전류 제어부(24)에 포함되는 제1 트랜지스터(Q1)(도 3 참조)가 '턴 온'되고, 이에 따라 제2 트랜지스터(Q2)의 제2 베이스에 각각의 일측 단자들이 연결된 제1 및 제2 저항들(R1)(R2)이 병렬로 동작하여서 양자의 저항들을 통하여 전류가 입력되므로 제2 트랜지스터(Q2)의 제2 베이스로 인가되는 전류의 양이 증가하게 된다. 따라서, 증폭기(11)와 프리 스케일러(12)의 바이어스 전류는 증가하게 된다.

그러나, 프로그래머블 디바이더(13)로 입력되는 주파수 세트 비트가 저주파 세트일 때, OR 게이트(23)로 로우 레벨의 신호가 입력되므로 OR 게이트(23)는 로우 레벨의 신호를 전류 제어부(24)로 출력한다.

OR 게이트(23)로부터 로우 레벨의 신호가 입력될 때, 전류 제어부(24)의 제1 트랜지스터(Q1)가 '턴 오프'되어서 상기 제1 이미터와 상기 제2 베이스를 연결하는 제2 저항(R2)의 연결 상태가 '오프'되면서 제1 저항(R1)만을 통하여 제2 트랜지스터(Q2)의 제2 베이스로 전류가 흐른다. 따라서, 제2 트랜지스터(Q2)의 제2 베이스로 유입되는 전류의 양이 감소하게 되므로 증폭기(11)와 프리 스케일러(12)의 바이어스 전류는 감소하게 된다. 이와 같이 증폭기(11)와 프리 스케일러(12)를 흐르는 바이어스 전류가 감소할 때, 상기 구성 요소들에 의해서 소비되는 전력이 그 만큼 감소될 수 있다.

#### 발명의 효과

본 발명에 따른, 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치에서는, 텔레비전 무선단에 포함된 페이즈 로크 루프에 상대적으로 주파수가 낮은 고주파 신호가 입력될 때 프로그래머블 디바이더로 입력되는 주파수 세트 비트에 의거하여서 바이어스 전류를 감소시키고, 상기 페이즈 로크 루프에 상대적으로 주파수가 높은 고주파 신호가 입력될 때 바이어스 전류를 증가시킴으로써 소비 전력을 최소화한다.

이상, 본 발명을 상기한 바람직한 실시예를 들어 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 당업자의 통상의 지식의 범위 내에서 그 변형이나 개량이 가능하다.

#### 청구항 1

고주파 입력 신호(RF)를 증폭하여서 증폭된 입력 신호를 출력하기 위한 증폭기(11);

증폭기(11)로부터의 증폭된 입력 신호의 전압 레벨을 그 후단에 연결되는 소자에 적합하도록 가감하여서 프리 스케일된 신호를 출력하기 위한 프리 스케일러(12);

프리 스케일러(12)로부터의 프리 스케일된 신호를 프로그래밍에 의하여 설정된 주파수 세트 비트에 따라 분주하여서 주파수 세트 비트를 출력하기 위한 프로그래머블 디바이더(13);

프로그래머블 디바이더(13)로부터의 주파수 세트 비트를 일시 저장하기 위한 레지스터(22);

레지스터(22)로부터 프로그래머블 디바이더(13)로 입력되는 주파수 세트 비트 가운데에서 고주파 세트를 위한 상위 다수의 비트를 논리합하여 출력하기 위한 논리합 수단(23);

논리합 수단(23)으로부터 입력되는 신호를 이용하여, 상대적으로 주파수가 낮은 고주파 신호가 입력될 때 증폭기(11)와 프리 스케일러(12)로 인가되는 바이어스 전류를 감소시키고, 상대적으로 주파수가 높은 고주파 신호가 입력될 때 증폭기(11)와 프리 스케일러(12)로 인가되는 바이어스 전류를 증가시키는 전류 제어 수단(24);

제1 클럭 신호를 생성하여 출력하기 위한 수정 발진기(14);

수정 발진기(14)로부터의 제1 클럭 신호를 기준 신호로서 분주하여서 기준 클럭 신호를 출력하기 위한 기준 디바이더(15);

프로그래머블 디바이더(13)로부터의 제1 분주된 신호의 위상과 기준 디바이더(15)로부터의 기준 클럭 신호의 위상을 비교하여 위상 비교된 신호를 출력하기 위한 위상 비교기(16);

위상 비교기(16)로부터의 위상 비교된 신호를 전류 증폭하여서 전류 증폭된 신호를 출력하기 위한 차지 펌프(17);

차지 펌프(17)로부터의 전류 증폭된 신호를 적분하여서 적분된 신호를 출력하기 위한 적분기(18); 그리고

적분기(18)로부터의 적분된 신호를 입력하여서 증폭기(11)로 궤환하기 위한 전압 제어 발진기(19)로 이루어져 있는 것을 특징으로 하는 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치.

#### 청구항 2

제1항에 있어서, 시스템 버스로부터 주파수 세트 비트를 읽어 들여 레지스터(22)로 전송하기 위한 버스 리시버(21)를 더 포함하여 이루어지는 것을 특징으로 하는 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치.

#### 청구항 3

제1항 또는 제2항 가운데 어느 한 항에 있어서, 상기한 논리합 수단(23)은 OR 게이트로 이루어지는 것을 특징으로 하는 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치.

#### 청구항 4

제1항 또는 제2항 가운데 어느 한 항에 있어서, 상기한 전류 제어 수단(24)은, 제1 이미터, 제1 베이스 그리고 제1 컬렉터를 포함하는 제1 트랜지스터(Q1);

제2 이미터, 제2 베이스 그리고 제2 컬렉터를 포함하는 제2 트랜지스터(Q2);

제2 트랜지스터(Q2)의 베이스 전류를 제한하기 위한 제1 및 제2 저항들(R1)(R2);

제3 및 제4 저항들(R3)(R4);

상기 제1 베이스를 OR 게이트(23)의 출력 단자와 연결하기 위한 수단;

상기 제1 컬렉터를 직류 전원 전압(Vcc)의 (+)단자와 연결하기 위한 수단;

상기 제1 이미터와 제2 베이스 사이에 제2 저항을 연결하기 위한 수단;

상기 제2 베이스와 직류 전원 전압(Vcc)의 (+)단자 사이에 제1 저항을 연결하기 위한 수단;

상기 제2 베이스와 직류 전원 전압(Vcc)의 (-)단자 사이에 제3 저항을 연결하기 위한 수단;

상기 제2 컬렉터를 상기 (+)단자와 연결하기 위한 수단; 그리고

상기 제2 이미터와 (-) 단자 사이에 제4 저항을 연결하기 위한 수단을 포함하여 이루어져서, 제1 트랜지스터(Q1)가 턴 온될 때 제1 및 제2 저항들(R1)(R2)을 통해서 제2 트랜지스터(Q2)의 제2 베이스로 전류가 유입되어서 바이어스 전류의 양이 증가되며, 제1 트랜지스터(Q1)가 턴 오프될 때 제2 저항(R2)의 연결 상태는 차단되며 제1 저항(R1)만을 통해서 제2 트랜지스터(Q2)의 제2 베이스로 전류가 유입되어서 바이어스 전류의 양이 감소되는 것을 특징으로 하는 페이즈 로크 루프를 이용한 텔레비전 무선단의 전력 소비 저감 장치.

도면

공개특허 1998-056057

도면 1



